



نمره:

مشخصه:

نام درس: معماری کامپیوتر

نام استاد: ولی زاده

تعداد صفحه سؤال: ۳ جزوه بسته جزوه باز

تاریخ امتحان:

مدت زمان پاسخگویی: ۱۵۰ دقیقه وسایل مجاز:

صفحه اول

برگه سؤال امتحان پایان نیمسال: سال تحصیلی: رشته: کامپیوتر مقطع: کارشناسی
نام و نام خانوادگی دانشجو: شماره دانشجویی: شماره صندلی:

۱- فرض کنید M1 و M2 دو پیاده سازی مختلف از یک ISA واحد باشند و فرکانس M1 ۴۰۰ مگاهرتز و فرکانس M2 ۲۰۰ مگاهرتز باشد. همچنین فرض کنید کامپایلرهای C1 و C2 برای این ISA نوشته شده باشند و در این ISA سه نوع دستور وجود داشته باشد (A, B, C).

جدول زیر تعداد کلاک لازم برای اجرای هر کدام از دستورات بر روی دو ماشین M1 و M2 را نشان می‌دهد. این جدول همچنین نشان می‌دهد که در صورت استفاده از هر کدام از کامپایلرها درصد استفاده از دستورات به چه صورت خواهد بود.

کلاس دستورات	CPI on M1	CPI on M2	درصد استفاده C1	درصد استفاده C2
A	4	2	30%	30%
B	6	4	50%	20%
C	8	8	20%	50%

با فرض اینکه تعداد دستورات تولید شده توسط هر دو کامپایلر برای یک برنامه فرضی یکی باشد (I)، به سؤالات زیر پاسخ دهید.

الف) در صورت استفاده از کامپایلر C1 برای هر دو ماشین کدام ماشین سریعتر عمل می‌کند؟ (۵)

ب) در صورت استفاده از کامپایلر C2 برای هر دو ماشین کدام ماشین سریعتر عمل می‌کند؟ (۵)

ج) در صورتی که شما ماشین M1 را خریداری کنید از کدام کامپایلر استفاده خواهید کرد و چرا؟ (۵)

۲- برای عبارت زیر برنامه‌ای با کمترین تعداد دستورات ماشین MIPS بنویسید. (۱۵)

$$v0 = \frac{31 * t0 + t2}{4}$$

۳- برنامه زیر را در نظر گرفته و به سؤالهای زیر پاسخ دهید.

الف) تعداد دستورات استاتیکی برنامه را مشخص کنید. (۵)

ب) تعداد دستورات دینامیکی برنامه را بدست آورید. (۵)

ج) با فرض اینکه دستورات slt و beq هر کدام در سه کلاک، دستور jump در دو کلاک و بقیه دستورات در یک کلاک انجام بگیرند تعداد کلاکهای لازم برای اجرای برنامه را بدست آورید. (۵)

د) CPI این برنامه را بدست آورید. (۵)

```
addi $v0, $0, 0
addi $t0, $0, 0
addi $t1, $0, 15
Loop:slt $t2, $t0, $t1
bne $t2, $0, exit
```

```

addi $t0, $t0, 2
add $v0, $v0, $t0
j Loop
exit: .....

```

۴- یک رجیستر فایل (Register File) با ۴ رجیستر ۳۲ بیتی طراحی کنید. (۱۰)

۵- شکل زیر یک پردازنده پایپلاین شده ۵ مرحله‌ای را نشان می‌دهد. توجه کنید که این شکل همان شکل پردازنده single cycle است که به صورت پایپلاین در آمده است. با فرض اینکه تأخیر حافظه‌ها ۲ نانو ثانیه و تأخیر ALU و خواندن و نوشتن رجیستر فایل هر کدام ۱ نانو ثانیه باشد و از تأخیر بقیه قسمت‌های مدار چشم‌پوشی کنیم به سؤال‌های زیر جواب دهید.

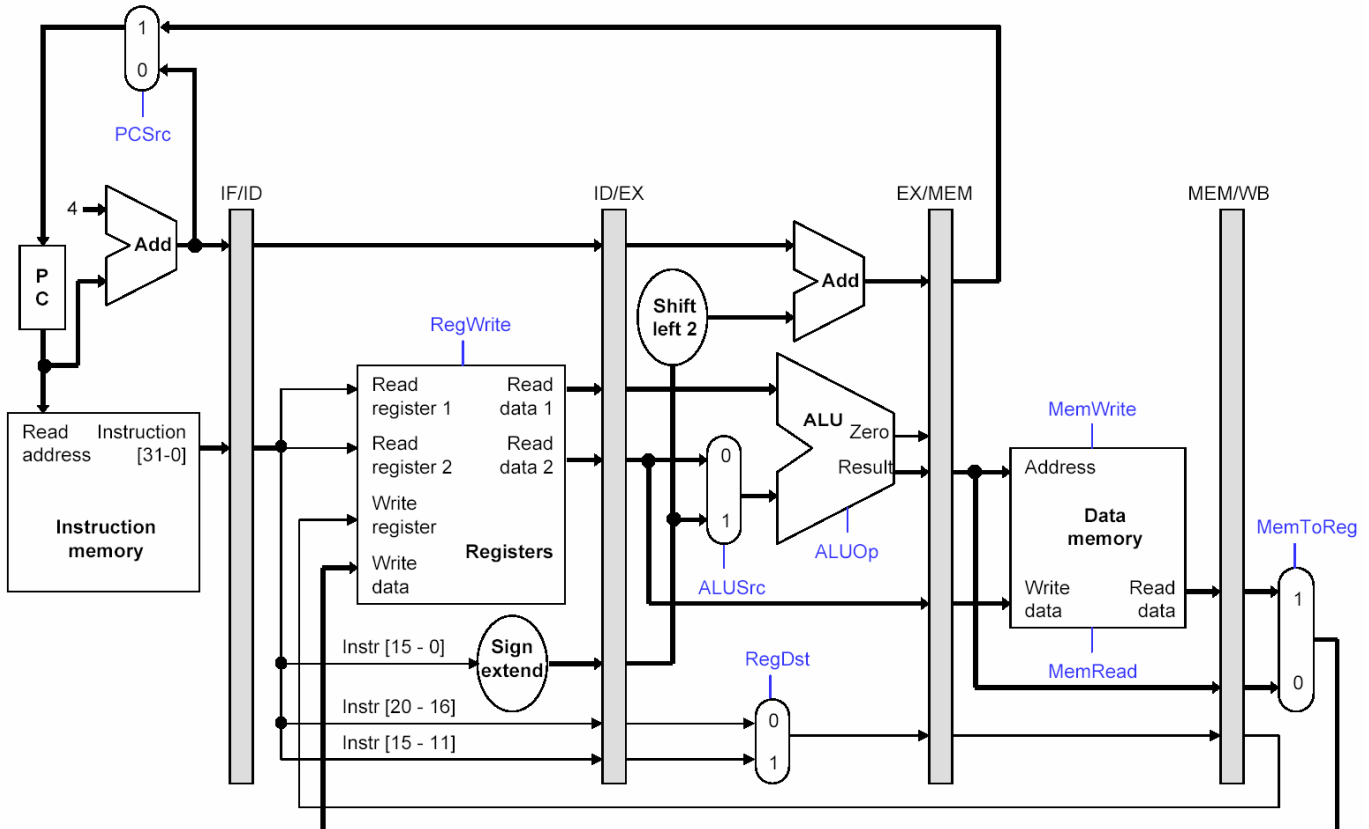
الف) فرکانس کلاک پردازنده single cycle را بدست آورید. (۵)

ب) فرکانس کلاک پردازنده پایپلاین شده را بدست آورید. (۵)

پ) زمان اجرای ۵ دستور را بر روی این دو پردازنده بدست آورید. (۱۰)

ت) سرعت پردازنده پایپلاین چند برابر پردازنده single cycle است (speed up)؟ (۲)

ث) حداکثر speedup را برای پردازنده پایپلاین شده نسبت به حالت بودن پایپلاین بدست آورید. (۳)



۶- با توجه به شکل سؤال ۵ توضیح دهید که آیا ما می‌توانیم در پردازنده single cycle بدون اینکه تغییری در سخت افزار آن بدهیم دستوری نظیر swap داشته باشیم که محتوای دو رجیستر را در یک کلاک با هم عوض نماید؟ (۵)

۷- رشته دستورات زیر را بر روی پردازنده پایپلاین شده اجرا کنید (شکل سؤال ۵). فرض کنید که محتوای هر رجیستر مساوی با شماره همان رجیستر بعلاوه ۱۰۰، و محتوای هر خانه از حافظه مساوی با ۹۹ باشد. (۱۵)

```
1000: lw $8, 4($29)
1004: sub $2, $4, $5
1008: and $9, $10, $11
1012: or $16, $17, $18
1016: add $13, $14, $0
```

۸- فرض کنید به جای اینکه دستور lw به صورت lw rt, offset(rs) (مثلاً به صورت lw \$t0, 12(\$t1)) تعریف شده باشد، به صورت lw rd, rs, rt تعریف شود که کار آن به صورت $rd = M[rs + rt]$ باشد. تغییرات لازم را بر روی datapath شکل سؤال ۵ پیشنهاد کنید تا بتوانیم شکل جدید دستور lw را پشتیبانی کنیم. (۱۰)